

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2003 年 7 月 31 日 (31.07.2003)

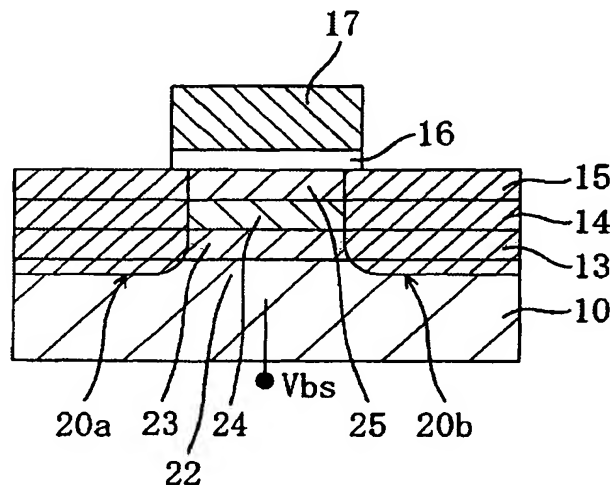
PCT

(10) 国際公開番号  
WO 03/063254 A1

- (51) 国際特許分類: H01L 29/78 (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 高木 剛 (TAK-  
(21) 国際出願番号: PCT/JP03/00472 AGI, Takeshi) [JP/JP]; 〒616-8182 京都府 京都市 右京  
区 太秦北路町 3-3 Kyoto (JP).  
(22) 国際出願日: 2003 年 1 月 21 日 (21.01.2003) (74) 代理人: 角田 嘉宏, 外 (SUMIDA, Yoshihiro et al.); 〒  
650-0031 兵庫県 神戸市 中央区 東町 123 番地の 1 貿易  
(25) 国際出願の言語: 日本語 ビル 3 階 Hyogo (JP).  
(26) 国際公開の言語: 日本語 (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB,  
BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,  
DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU,  
(30) 優先権データ: ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,  
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO,  
NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL,  
TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU,  
特願 2002-11833 2002 年 1 月 21 日 (21.01.2002) JP ZA, ZM, ZW.  
(71) 出願人 (米国を除く全ての指定国について): 松下電  
器産業株式会社 (MATSUSHITA ELECTRIC INDUS-  
TRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府 門真市  
大字門真 1006 番地 Osaka (JP). (84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ,  
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM,  
[続葉有])

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device comprising semiconductor layers (10-15); a gate insulating film (16) formed over those semiconductor layers; a gate electrode (17) formed on the gate insulating film; those source (20a) and drain (20b) regions of the semiconductor layers exhibiting a first conductivity type and formed on the two opposite sides of the gate electrode as seen from a cross-sectional plane; a cap layer (25), a channel region (24) and below-channel regions (23, 22) of the semiconductor layers exhibiting a second conductivity type and formed, between the source and drain regions, in the order named downwardly from an interface of the gate insulating film; and a bias electrode member (Vbs) for applying a voltage to the below-channel regions; wherein the channel region is made of a first semiconductor, and the cap layer and below-channel regions are made of, respectively, second and third semiconductors exhibiting a larger band gap than the first semiconductor, and wherein the bias electrode member is provided such that it can apply the voltage independently of the gate electrode.

[続葉有]



AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許  
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,  
GR, HU, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR), OAPI  
特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,  
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

---

(57) 要約:

本発明の半導体装置は、半導体層(10~15)と、上記半導体層の上に設けられたゲート絶縁膜(16)と、上記ゲート絶縁膜の上に設けられたゲート電極(17)と、上記半導体層のうち平面視において上記ゲート電極の両側方に設けられた第1導電型のソース領域(20a)及びドレイン領域(20b)と、上記半導体層のうち上記ソース領域と上記ドレイン領域の間に、上記ゲート絶縁膜との界面から下方に順に設けられた第2導電型のキャップ層(25)、チャネル領域(24)、及びチャネル下方領域(23,22)と、上記チャネル下方領域に電圧を印加するためのバイアス電極部材(Vbs)とを備え、上記チャネル領域が第1の半導体からなり、上記キャップ層及びチャネル下方領域が、それぞれ、上記第1の半導体よりもバンドギャップが大きい第2の半導体及び第3の半導体からなり、上記バイアス電極部材が、上記ゲート電極と独立して電圧印加可能に設けられている。